

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-303807

(43)Date of publication of application : 07.12.1989

(51)Int.Cl.

H03F 3/343

(21)Application number : 63-132655

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.06.1988

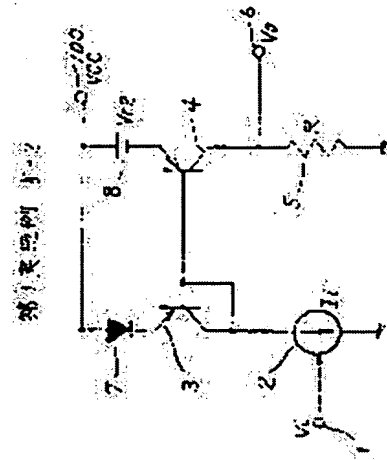
(72)Inventor : ETO MASAKATA

(54) POWER CIRCUIT

(57)Abstract:

PURPOSE: To realize a power circuit due to the logarithm-antilogarithm operation with a simple constitution and to facilitate the correction by combining a resistance and a diode to a current mirror circuit.

CONSTITUTION: A transistor 3 connects a base collector, uses it as a diode, an emitter is connected through a diode 7 to a power source and the base collector is connected to the base of a transistor 4. The emitter of the transistor 4 is connected through a power source 8 of a potential difference $V_{\gamma 2}$ to a power source 100 and a collector is grounded through a resistance 5. A current I_i in proportion to an input signal level flows at the diode composed of a first transistor 3, a proportion coefficient γ is multiplied to a generated base emitter voltage V_{BE2} change, coupled to a base emitter voltage V_{BE2} of a second transistor 4 and in accordance with the V_{BE2} change, an emitter current I_{E2} of the second transistor 4 flows. Thus, only by combining the current mirror circuit diode 7 and the resistance 5, the power circuit can be constituted, and the γ correction of the video signal can be executed inexpensively, compactly and easily.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-303807

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)12月7日

H 03 F 3/343

Z-6751-5 J

審査請求 未請求 請求項の数 2 (全9頁)

⑭ 発明の名称 ベキ乗回路

⑯ 特 願 昭63-132655

⑰ 出 願 昭63(1988)6月1日

⑱ 発 明 者 江 渡 正 容 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称

ベキ乗回路

2 特許請求の範囲

1. 入力信号に応じて電流が制御される電流源と、

該電流源と直列に接続され、かつコレクタとベースが共通に接続されたダイオード接続の第1のトランジスタと、該第1のトランジスタと同一導電タイプであり、かつそのベースが前記第1のトランジスタのベースと接続された第2のトランジスタと、少なくとも前記第1のトランジスタまたは第2のトランジスタの何れかのエミッタと共通電位との間に設けられた少なくとも1個以上のダイオードまたは電池と、から成り、前記第2のトランジスタのコレクタより前記入力信号のベキ乗値である出力信号を取り出すことを特徴とするベキ乗回路。

2. 請求項1に記載のベキ乗回路において、前記第1のトランジスタのベースと第2のトランジスタのベースとの間の接続を切り離し、第1の

トランジスタのベースと前記共通電位との間に抵抗を接続し、該抵抗の分割点を前記第2のトランジスタのベースへ接続したことを特徴とするベキ乗回路。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、ある信号電流（または電圧）の r 乗に比例した電流（または電圧）を発生する回路に係り、特に映像信号の r 補正を容易に行うのに好適なベキ乗回路に関する。

〔従来の技術〕

r 補正回路は、非線形増幅器の一種であり、入力信号 A に対して出力信号 $B \propto A^r$ の演算を行うベキ乗回路である。

このような演算を行う回路は実現が難しく、例えば、「画像電子回路」（テレビジョン学会編 画像エレクトロニクス講座、宇都宮他編著、コロナ社）82頁～83頁に記載されるごとく、ダイオードを用いた折線で近似、あるいはダイオードの指数電流特性で近似するのが一般的である。

さらに正確なベキ乗回路を実現するには、例えば「アナログIC活用ハンドブック」(トランジスタ技術増刊ハードウェア・デザインシリーズCQ出版社)139頁から142頁に記載されるごとく、演算増幅器(OPアンプ)を用いた対数演算回路と逆対数演算回路を組合せてベキ乗演算を行う必要がある。

〔発明が解決しようとする課題〕

上記従来技術において、例えば折線、指数関数でベキ乗関数を近似する場合、目標関数を決めるための定数設定が非常に難しい。折線近似では折線数、各折線の傾きを個々に決めなければならず近似度が増すにつれてその回路構成も飛躍的に複雑になる。また、指数関数近似では回路定数に対応した r の値が正確に決まらず、設計値の決定に手間とることが多い。

一方OPアンプを用いた対数-逆対数演算で r 補正を行うのが、正確さの点、定数設計の容易さの点で優れる。しかし、映像信号帯域のOPアンプを複数個用いなければならないため、回路規模

その状態での回路動作を積極的に利用する。したがって、本発明の技術手段はカレントミラー回路と機能、目的が異なる。

〔作用〕

前記入力信号レベルに比例する電流を I_i 、第1トランジスタのコレクタ電流を I_{C1} 、エミッタ電流を I_{E1} 、簡単のため電流伝達率 $\alpha \approx 1$ とおくと、

$$\begin{aligned} I_i &= I_{C1} \\ &\approx I_{E1} \\ &= I_{S1} \left(\exp \frac{\phi V_{BE1}}{4T} - 1 \right) \end{aligned} \quad \dots\dots\dots (1)$$

I_{S1} : 逆方向飽和電流

ϕ : 電子の電荷

A : ホルツマン定数

T : 絶対温度

となる。通常の動作では(1)式の括弧内における指数項は1に比べて大きな値であり、

$$I_i \approx I_{S1} \exp \frac{\phi V_{BE1}}{4T} \quad \dots\dots\dots (1)$$

と置くことができる。

一方、第2トランジスタについても同様に

が大きくなり値段も高いという問題がある。

本発明の目的は、対数-逆対数演算によるベキ乗回路を簡単な構成で実現し、容易に r 補正を行う回路を提供することにある。

〔課題を解決するための手段〕

上記目的は、ダイオードあるいはトランジスタの $V_{BE}-I_E$ 特性を利用して対数-逆対数回路を構成することにより達成される。

すなわち、入力信号レベルに比例する電流 I_i を第1トランジスタで構成されるダイオードに流し生じたベース・エミッタ電圧 V_{BE1} 変化に比例係数 r を乗じて第2トランジスタのベース・エミッタ電圧 V_{BE2} と結合し、この V_{BE2} の変化に応じて第2トランジスタのエミッタ電流 I_{E2} を流すようにする。

通常このような構成の類として、 $r=1$ の場合に相当するカレントミラー回路がある。但し、通常のカレントミラー回路は $V_{BE1}=V_{BE2}$ を前提として動作させている。これに対し、本発明では $V_{BE1} \neq V_{BE2}$ の状態を意識的に作り出す回路構成を成し、

$$I_o \approx I_{S2} \exp \frac{\phi V_{BE2}}{4T} \quad \dots\dots\dots (2)$$

I_o : 第2トランジスタのコレクタ電流($\approx I_{E2}$)

I_{S2} : 逆方向飽和電流

が成立する。

本発明で $V_{BE2}=r V_{BE1}$ とすると、(1)、(2)式から

$$\begin{aligned} I_o &\approx I_{S2} \exp \frac{\phi V_{BE2}}{4T} \\ &= I_{S2} \exp \frac{\phi r V_{BE1}}{4T} \\ &= \left(I_{S1} \exp \frac{\phi V_{BE1}}{4T} \right)^r I_{S2} \cdot I_{S1}^{1-r} \\ &\approx I_i^r \cdot (I_{S2} \cdot I_{S1}^{1-r}) \end{aligned} \quad \dots\dots\dots (3)$$

となる。

(3)式において I_{S1} 、 I_{S2} は定数であり、括弧内を定数 K で置換えると、

$$\begin{aligned} I_o &\approx K \cdot I_i^r \\ K &= I_{S2} \cdot I_{S1}^{1-r} \end{aligned} \quad \dots\dots\dots (3)$$

が成立する。

(3)式から、 I_o は I_i の r 乗に比例し、入力信号の

ベキ乗となることがわかる。

〔実施例〕

以下、本発明の実施例を図面を用いて詳細に説明する。

第1図に本発明の第1の実施例である $r > 1$ の回路構成を示す。具体的には $r = 2$ に相当する回路である。

回路は信号の入力端子1，電流源2，第1トランジスタ3，第2トランジスタ4，抵抗5，電圧出力端子6，ダイオード7，電源8および電源端子100で構成される。

入力端子1に入力する信号電圧を V_i とする。電流源2は入力電圧 V_i で可変で V_i に比例する電流 I_i が流れるものとする。トランジスタ3はベース・コレクタを接続してダイオードとして用い、そのエミッタはダイオード7を介して電源に接続し、ベース・コレクタはトランジスタ4のベースに接続する。このトランジスタ4のエミッタは電位差 V_{r2} の電源8を介して電源100に接続し、コレクタは抵抗5を介して接地する。抵抗5にはトラン

ジスタ4のコレクタ電流による電圧が発生し、これを出力電圧 V_o として端子6から出力する。

第1図に示す回路において簡単の為、全てのトランジスタ，ダイオードの電流・電圧指数特性が等しく、したがって同面積のPN接合での逆方向飽和電流は全て等しく I_s で表す。トランジスタ3のベース・エミッタ電圧およびダイオードの順方向電圧は等しいのでこれを V_{BE1} とおく。トランジスタ4のベース・エミッタ電圧を V_{BE2} とおき、コレクタ電流を I_o とおく。トランジスタ3，4のエミッタサイズが等しいものとする。と、 $I_{s1} = I_{s2} = I_s$ とおけるので、(1)，(2)式は

$$I_i = I_s \exp \frac{q V_{BE1}}{4T} \quad \dots\dots\dots (4)$$

$$I_o = I_s \exp \frac{q V_{BE2}}{4T} \quad \dots\dots\dots (5)$$

となり、第1図に示す構成から

$$2V_{BE1} = V_{r2} + V_{BE2} \quad \dots\dots\dots (6)$$

が成立する。(4)，(5)，(6)から

$$\left. \begin{aligned} I_o &= K_1 \cdot I_i^2 \\ \text{但し } K_1 &= \left(I_s \cdot \exp \frac{q V_{r2}}{4T} \right)^{-1} \end{aligned} \right\} \quad \dots\dots\dots (7)$$

を得る。

(7)式で K_1 は定数であり、第1図に示す回路は $r = 2$ のベキ乗回路となっている。ここで I_s は非常に小さな値($< 10^{-9} \text{A}$)である。 $V_{r2} = 0$ とおくと(7)式において K_1 は

$$\begin{aligned} K_1 &= I_s^{-1} \\ &> 10^9 (\text{A}^{-1}) \end{aligned}$$

と大きな値となる。これは I_i の変化に対して I_o が大きく変化することを意味する。回路の出力 V_o はこの電流 I_o と抵抗5の抵抗値との積であり $V_o = R I_o$ で表される。従って R を適当に小さくするか I_o の分流回路を設けて R に分流電流を流すようにすれば適当な V_o の値が得られることになる。本発明では別の一例として V_{r2} という電源8を設けた。すなわち V_{r2} は比例係数 K_1 を適当な値に設定する為の基準電圧であり、 K_1 の値が大き過ぎないようにほぼ V_{BE1} 程度に選ぶ。一例として、常温で

$4T/q \approx 26 \text{mV}$ ， $I_s \approx 10^{-9} \text{A}$ の通常のトランジスタを用いた場合、 $K_1 \approx 1 \text{mA}^{-1}$ とするには $V_{r2} \approx 0.718 \text{V}$ 程度である。勿論 V_{r2} の値は設計的事項であり、実際のトランジスタのエミッタサイズ比も考慮して他の値でも良いことは明らかである。

第2図に本発明の第2の実施例である $r < 1$ の回路構成を示す。具体的には $r = 0.5$ に相当する。

第2図に示す回路でトランジスタ3，4のそれぞれのエミッタに接続した電源9，ダイオード10の配置は、第1図でトランジスタ3，4のそれぞれのエミッタに接続したダイオード7，電源8の配置と逆である。これら電源8，9，ダイオード7，10の配置を除き、第2図に示す構成は第1図と同じである。

第2図においても、第1図と同様、全てのトランジスタの特性が揃っているものとする。電源9の電位差を V_{r1} 、ダイオード10の順方向電圧をトランジスタ4のベース・エミッタ間電圧 V_{BE2} に等しいと置く。(4)，(5)式は第2図においても成立し、また第2図に示す構成から、

$$V_{BE1} + V_{r1} = 2V_{BE2} \quad \dots\dots\dots (8)$$

が成立する。従って、(4)、(5)、(8)式から

$$\left. \begin{aligned} I_o &= K_2 \cdot I_i^{\frac{1}{2}} \\ K_2 &= \left(I_{S2} \exp \frac{qV_{r1}}{4T} \right)^{\frac{1}{2}} \end{aligned} \right\} \quad \dots\dots\dots (9)$$

を得る。

(9)式で K_2 は定数であり、第2図に示す回路は $r = 1/2$ のベキ乗回路となっている。ここで V_{r1} は比例定数 K_2 を適当な値に設定する為の基準電圧である。 $I_{S2} < 10^{-7} \text{A}$ とすると、 $V_{r1} = 0$ のとき、

$$\begin{aligned} K_2 &= I_{S2}^{\frac{1}{2}} \\ &< 10^{-\frac{7}{2}} (\text{A}^{\frac{1}{2}}) \end{aligned}$$

と非常に小さな値となる。したがって、 K_2 の値が小さ過ぎない様に、 V_{r1} はほぼ V_{BE1} 程度に設計する。勿論 K_2 が極端に小さい値でなければ第1図での説明と同様に、出力抵抗5の抵抗値を大きくしたり、 I_o の増幅器を設けたり、またトランジスタ3のエミッタサイズよりトランジスタ4のエミッタサイズを大きくして I_o を増加させる方法も可能

を得る。

(4)式で K_3 は定数であり、第3図に示す回路は $r = m/n$ のベキ乗回路となっている。ここで、 V_{r1} 、 V_{r2} は比例定数 K_3 を適当な値に設定するための基準電圧であり、

$$V_{r1} - V_{r2} = (n-m)V_{BE1} \quad \dots\dots\dots (10)$$

を満たすように設計する。なお、第3図で $n = 1$ 、 $m = 2$ 、 $V_{r1} = 0$ とおくと第1図に等しく、あるいは $n = 2$ 、 $m = 1$ 、 $V_{r2} = 0$ とおくと第2図に等しくなる。

第4図に本発明の第4の実施例を示す。

第4図の構成は、トランジスタ3のベース・コレクタとトランジスタ4のベースとの接続の仕方を除いて、第1図に示す構成と同じである。すなわち、第4図ではトランジスタ3のベース・コレクタは抵抗11を介して回路電源端子100と接続し、ベース・コレクタおよび回路電源 V_{cc} との電位差を抵抗11で分割してトランジスタ4のベースに印加している点が第1図と異なる。

第4図において、抵抗11の値 R_v はトランジスタ

である。なお、後述するように、 V_{r1} （従って V_{r2} も同様）は単なる電圧ではなく温度係数をもたせる構成が実用的である。

第3図に、本発明の第3の実施例を示す。

第3図に示す回路構成において、引用符号1～6で示す構成は、第1図、第2図と同じである。但し、第3図に示すトランジスタ3のエミッタは引用符号101で示す $n-1$ 個のダイオード101₁～101_{n-1}、および電源9をシリーズに介して回路電源端子100に接続している。またトランジスタ4のエミッタは引用符号201で示す $n-1$ 個のダイオード201₁～201_{n-1}、および電源8をシリーズに介して回路電源端子100に接続している。

第3図に示す回路においても(4)、(5)式が成立し、またトランジスタ3、4のエミッタ側について

$$mV_{BE1} + V_{r1} = nV_{BE2} + V_{r2} \quad \dots\dots\dots (11)$$

が成立する。(4)、(5)、(11)式から

$$\left. \begin{aligned} I_o &= K_3 \cdot I_i^{\frac{m}{n}} \\ K_3 &= I_{S2}^{1-\frac{m}{n}} \cdot \exp \frac{q(V_{r1}-V_{r2})}{nAT} \end{aligned} \right\} \quad \dots\dots\dots (12)$$

3のエミッタおよびダイオード7の抵抗値に比べて十分大きく、逆にトランジスタ4のベース電流による電圧降下が問題にならない程度に小さい抵抗値である（約1K～10KΩ程度）とすると、トランジスタ3、4において(4)、(5)式が成立する。そこで、第4図の構成において抵抗11の電圧分割比を $t : (1-t)$ とする。（但し、トランジスタ4のベースを基準にして、電源側を t 、トランジスタ3のベース・コレクタ側を $(1-t)$ の電圧分割比とする。）このとき、

$$(2V_{BE1}) \cdot t = V_{BE2} + V_{r2} \quad \dots\dots\dots (13)$$

を得る。(4)、(5)、(13)式から

$$\left. \begin{aligned} I_o &= K_4 \cdot I_i^{2t} \\ K_4 &= I_{S2}^{1-2t} \cdot \exp \frac{-qV_{r2}}{AT} \end{aligned} \right\} \quad \dots\dots\dots (14)$$

となる。

(14)式で K_4 は定数であり、第4図は $r = 2t$ のベキ乗回路であることが分る。 $0 < t < 1$ であり、 t は連続的に変化する。但し、 t の値によって K_4 が変化するの、 t と共に V_{r2} を変えれば K_4 を妥当

な値に保つことができる。

なお、可変幅を大きくするにはトランジスタ3のエミッタ側にダイオードを追加すればよいことが容易に推察できる。

また、 $(1-2I_1) > 0$ となる1の領域では、 K_4 を適当な値に保つために電源8の極性が逆になる。これは、ダイオード7のアノード側および抵抗11の電源端子100側に例えば共通に電源9を挿入する構成と等しいことが容易に推察できる。

第5図に本発明の実施例の具体的構成例を示す。

第5図は、第2図に示す電源9および電流源2を具体的に示した回路であり、構成は第2図と全く同じである。

第5図において、点線枠9で示すようにダイオード18、抵抗14およびコンデンサ15で電源9を構成する。また点線枠2で示すようにトランジスタ12および抵抗13で電流源2を構成する。

第5図では抵抗14を比較的小さくしてダイオード18に流れる電流を大きくし、電流源2の電流変化によるダイオード18の端子電圧変化を少なくす

る。ダイオードのうち $n-1$ 個を引いた残り $N-n+1$ 個のダイオードで電源8を構成する。このようにして、ダイオード101 $m \sim N$ で得られる電位差 V_{r1} およびダイオード201 $n \sim N$ で得られる電位差 V_{r2} は(4)式を満たし、かつカレントミラー部の温度特性も補償される。

以上、本発明の回路構成の実施例について詳細に説明した。上記実施例は基本形であり、これを変形した構成も考えられる。

第7図に第7実施例を示す。

第7図に示す回路は第2図とほとんど同じであるが、トランジスタ3のコレクタ・ベース、したがってトランジスタ4のベースも同様に抵抗19を介して電源端子100に接続する。

トランジスタ3のエミッタ電流を I_1 、抵抗19に流れる電流を I_2 とする。トランジスタ4については(5)式が成立し、トランジスタ3については

$$I_1 = I_{S3} \exp \frac{qV_{BE1}}{kT} \quad \dots\dots\dots (4)$$

が成立する。さらに抵抗19の抵抗値を R_b とすると

る。コンデンサ15は平滑用である。ダイオード18は他のトランジスタ3、4、およびダイオード10と同じくほぼ $-2mV/deg$ の温度係数を有している。これらのトランジスタ、ダイオードで構成されるカレントミラー部の温度変化は少なくなる。電流源2を構成するトランジスタ12の温度係数を相殺するには、カレントミラー部の温度補償でも可能であるがベースに印加する信号の直流分に温度係数をもたせるように前段の回路を設計するのが普通である。この方法は本実施例に述べた回路とは別の技術であり、本実施例では省略した。

第5図と同じ考え方によって、第3図に示す電源9、8もダイオードをシリーズに用いて構成できる。すなわち、第6図に示すようにトランジスタ3、トランジスタ4のそれぞれのエミッタに接続するダイオードの個数を等しく N とし、トランジスタ3側に接続した $m-1$ 個のダイオード101 $m \sim m-1$ を N 個から引いた残りのダイオード101 $m \sim N$ の $N-m+1$ 個で第5図に示すような電源9を構成する。同様にトランジスタ4に接続した N 個

$$V_{r1} + V_{BE1} = R_b I_2 = 2V_{BE2} \quad \dots\dots\dots (6)$$

$$I_1 + I_2 = I_i \quad \dots\dots\dots (7)$$

となる。(4)、(6)、(7)から

$$\left. \begin{aligned} I_0 &= K_5 \cdot I_1^{\frac{1}{2}} \\ K_5 &= \left(I_{S3} \exp \frac{qV_{r1}}{kT} \right)^{\frac{1}{2}} \end{aligned} \right\} \quad \dots\dots\dots (8)$$

を得る。

(8)式において K_5 は定数であり、従って I_0 はトランジスタ3に流れるコレクタ電流 I_i の平方根に比例する。

ここで I_1 は I_i に必ずしも比例しない。(4)、(6)、(7)式から

$$I_1 + \frac{1}{R_b} \left(\frac{kT}{q} \ln \frac{I_1}{I_{S3}} + V_{r1} \right) = I_i \quad \dots\dots\dots (9)$$

である。(9)式を代数的に解くことは無理であり、近似として

$$\frac{kT}{q} \cdot \frac{1}{I_1} < R_b$$

が成立する範囲で $I_1 \approx I_i$ となり、第7図はベキ乗回路となる。

$$\frac{kT}{q} \cdot \frac{1}{I_1} \geq R_b$$

の範囲では $I_2 \approx I_i$ であり、

$$I_0 = I_s \exp \frac{e R_b}{24 T} \cdot I_i \quad \dots\dots\dots (4)$$

となり、指数特性となる。 R_b の値で上記特性が変化するので、抵抗19によって第7図に示す回路の特性を可変することができる。ことがわかる。

なお、抵抗19の接続の仕方には他の方法も考えられるが、全て本発明の応用であると思倣せる。すなわち、第8図に示す接続は、第1図とほぼ同じ $r > 1$ のベキ乗特性を示す。

第8図は第1図とほぼ同じ構成であるが、第1図でトランジスタ4のエミッタに接続する電源8の部分に第8図ではダイオード10と抵抗19の並列回路で置換えた構成となっている。第7図での説明と同様に、抵抗19の値 R_b がダイオード10の抵抗値 r より大きい範囲では電流 I_i がダイオード10の方に多く流れて抵抗19を無視できるので、第8図に示す回路は $I_0 \propto I_i$ の単なるカレントミラー回路である。しかし、 R_b が r と同程度以下の範囲では

$$I_0 \propto K' I_i^r \quad (r > 1)$$

力端子1、電源22、トランジスタ23、24、抵抗25、出力端子6、ダイオード27、電源28および回路電源端子100で構成されている。カレントミラー部のトランジスタ23、24にNPNトランジスタを用いている点と、入力端子1に印加する信号の極性が第1図で入力する信号に対し極性が逆である点が第1図と異なる。その他の動作、特性は第1図に示す回路と全く同じであり、省略する。

他の第2～9図についてもカレントミラー部にNPNトランジスタを用いた構成が可能であり、その特性はPNPトランジスタを用いた特性と同じになるのは言うまでもない。

第11図に本発明の回路を適用したモノクロ撮像装置の一実施例を示す。撮像装置は撮像部30、プリアンプ31、クランプ回路32、 r 補正回路33、ブランキング・シンクミックス回路34、映像出力端子35からなる。

撮像部30の信号をプリアンプ31で増幅し、クランプ回路32で直流分を設定した後、本発明の r 回路33で r 補正する。その後必要なブランキング・

K' = 定数

の特性を示す。 r 、 K' は R_b を含む定数であるが、同式の解と同様、簡単な式で表すことができない。

第9図は第2図とほぼ同じ構成であるが、第2図でトランジスタ3のエミッタに接続する電源9の部分に、第9図ではダイオード7と抵抗19の並列回路で置換えた構成となっている。第8図の説明と同様に抵抗19の抵抗値 R_b がダイオード7の抵抗値 r と同程度以下の領域では

$$I_0 \propto K'' I_i^r \quad (r < 1)$$

K'' = 定数

の特性を示す。 r 、 K'' は R_b を含む定数であるが、簡単な式で表すことができない。

以上PNPトランジスタを用いたカレントミラー回路で本実施例を説明したがNPNトランジスタを用いた実施例も可能である。

第10図にカレントミラー部をNPNトランジスタ23、24で構成した本発明の一実施例を示す。第10図に示す回路は第1図に示す回路と同じベキ乗特性を有している。回路構成は第1図と同様、入

シンクパルスを加して端子35から出力する。信号を $r \approx 2.2$ のブラウン管で再生することを想定して撮像装置側で $r \approx 0.45$ の逆補正を行っている。近似的には $r = 0.5$ の第2図の実施例を r 補正回路として用いることができる。さらに正確には第3図、第4図を用いる。本発明によれば r 回路の部品点数は従来に比べて少なく、またIC化も容易である。

第12図に本発明の回路を適用したカラー撮像装置の一実施例を示す。

撮像部40から補色信号シアン(Cy)、黄(Ye)、緑(Gr)および白(W)が出力され、これをマトリクス回路42で原色信号R、G、Bに変換した後、本発明の r 回路43a、b、cで r 補正する。補正後、映像変換処理回路44で複合映像信号に変換して端子45から出力する。第12図の r 回路43a～bは第11図の r 回路33と同じものである。勿論、 r 補正を補色信号Cy、Ye、Grおよび白信号Wに施した後マトリクス変換することも可能である。

第13図に、本発明の回路を用いたモノクロ画像

表示装置における映像信号処理の一部を示す。入力端子50には例えばNTSC方式の複合映像信号を入力する。複合映像信号は358MHz除去回路51で色成分を取除かれた後、 r 回路52で r 補正される。さらに信号処理回路53でブライト、コントラスト、画質等を調整して端子54から出力される。

NTSC方式では映像信号の r は約0.45であり、端子54以降の表示部がブラウン管ならば第13図における r 回路52の特性は $r \neq 1$ である。しかし、端子54以降の表示部がELやプラズマ等の表示パネルであれば、それに合わせて r 回路52の特性を変える必要がある。通常のEL、プラズマパネルの r は1であり、従って r 回路52の特性を $r \neq 2.2$ に合わせるのが好ましい。

第14図に、カラー画像表示装置に本発明の r 回路を適用する一例を示す。

端子60に複合映像信号を入力し、C、Y分離回路61においてクロマ信号Cと輝度信号Yとに分離する。分離した輝度信号Yを r 回路62に通して r 補正し、クロマ信号Cと共に色信号処理回路63に

印加する。こうして、色信号処理回路63で原色信号R、G、Bを形成し、端子64a～cから出力する。

第14図に示す回路構成は簡易的なものであり、輝度信号Yだけを r 補正して、結果として原色信号R、G、Bにも r 補正を行う構成である。端子64以降の表示部で各色の表示特性が揃っている場合には有効である。

第15図にカラー画像表示装置に本発明の r 回路を適用する一例を示す。

端子70に複合映像信号を入力し、C、Y分離回路71においてクロマ信号Cと輝度信号Yとに分離する。分離した輝度信号Yとクロマ信号Cに基づいて色信号処理回路72で原色信号R、G、Bを形成する。

第15図では端子76a～cに印加する外部原色信号と前述の色信号処理回路72からの原色信号とを切替えるスイッチ73a～cを設けている。切替えた原色信号を r 回路74a～cを通して r 補正し、端子75a～cから出力する。第15図では各RGB

原色信号を表示する表示部の特性に合わせて r 補正できるので正しい補正が可能である。

〔発明の効果〕

本発明によれば、演算増幅器等を用いることなく簡単なカレントミラー回路にダイオードと抵抗を組合わせるだけでベキ乗回路を構成することができ、安価でコンパクトに、容易に映像信号の r 補正を行うことができるという効果がある。

また本回路は少ないディスクリート部品で構成することができるだけでなく、ダイオード、トランジスタ、抵抗だけで構成することもでき集積回路化も容易であるという効果がある。

さらに、ダイオードの個数、抵抗の接続の仕方によって容易に r 値を設定することができ、撮像装置の r 回路、画像表示装置の r 回路に容易に適用できるという効果がある。

4 図面の簡単な説明

第1図は本発明の第1実施例である $r=2$ の場合の回路構成図。第2図は本発明の第2実施例である $r=0.5$ の場合の回路構成図。第3図は本発明

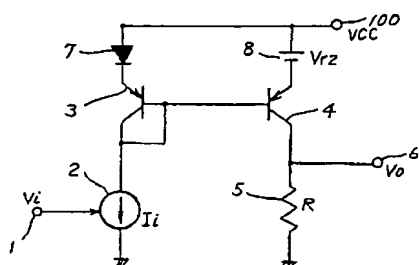
の第3実施例である r が任意の分数の場合の回路構成図。第4図は本発明の第4実施例である r が任意の場合の回路構成図。第5図は第2図で温度補償も含めたさらに具体的な回路構成図。第6図は第3図で温度補償を含めた回路構成例を示す回路構成図。第7図乃至第9図は第1、第2実施例を別の構成で表したときの回路構成図。第10図は第1図の実施例でNPNを用いた回路構成図。第11図は本発明を適用したモノクロ撮像装置の構成例を示すブロック図。第12図は本発明を適用したカラー撮像装置の構成例を示すブロック図。第13図は本発明を適用したモノクロ画像表示装置での映像信号処理例を示すブロック図。第14図、第15図はそれぞれ本発明を適用したカラー画像表示装置での映像信号処理例を示すブロック図。である。

2…電流源、 3, 4…トランジスタ、
7, 10…ダイオード、 5…抵抗、
8, 9…電源。

代理人弁理士 小 川 勝 男

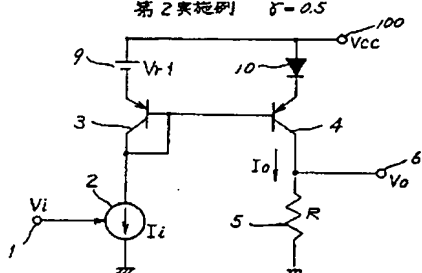
第 1 図

第 1 実施例 $\beta = 2$



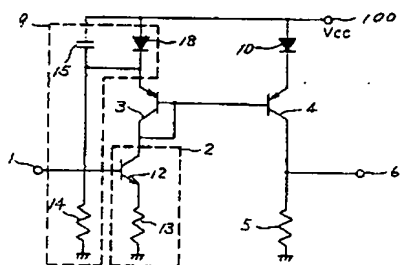
第 2 図

第 2 実施例 $\beta = 0.5$



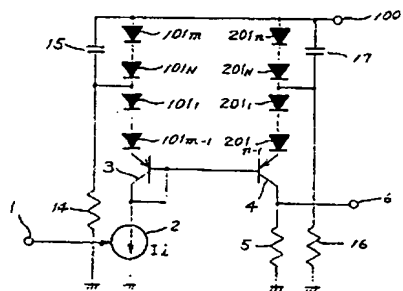
第 5 図

電源、電流源構成例 $\beta = 2$



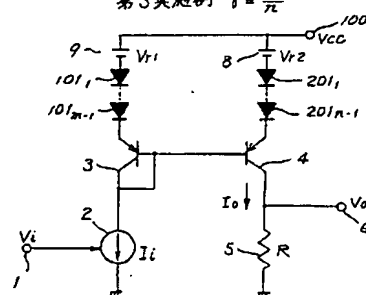
第 6 図

電源構成例 $\beta = \frac{\pi}{2}$



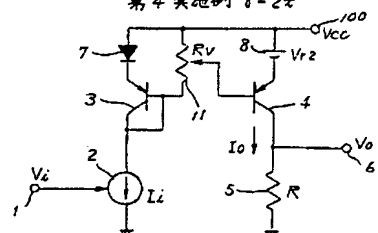
第 3 図

第 3 実施例 $\beta = \frac{\pi}{2}$



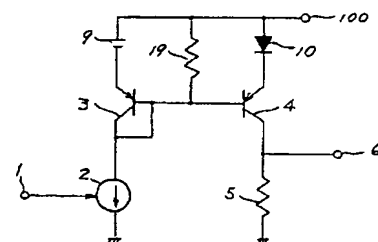
第 4 図

第 4 実施例 $\beta = 2\pi$



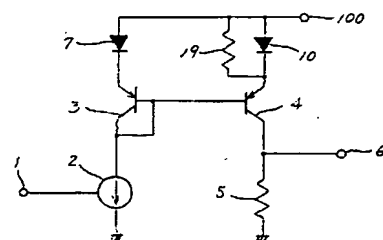
第 7 図

第 7 実施例 $\beta = 0.5$

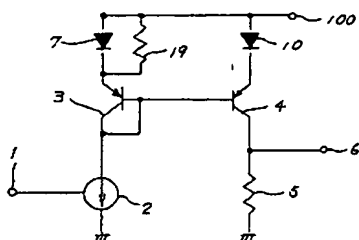


第 8 図

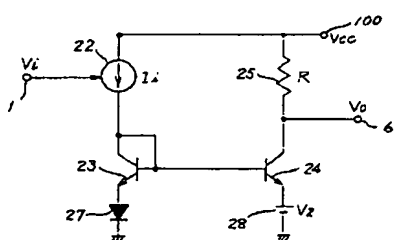
第 8 実施例 $\beta = 2$



第 9 図
第 9 実施例 $\gamma \approx 0.5$

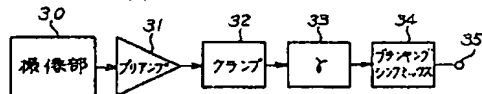


第 10 図



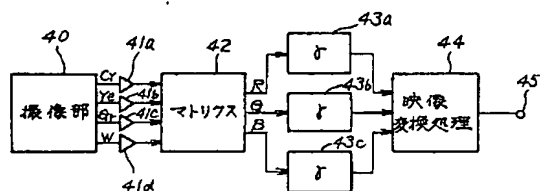
第 11 図

W/B 映像装置への適用例



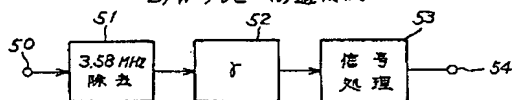
第 12 図

カラー映像装置への適用例



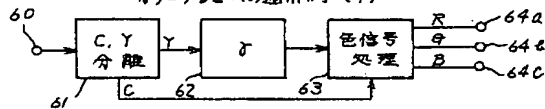
第 13 図

B/W テレビへの適用例



第 14 図

カラーテレビへの適用例 (1)



第 15 図

カラーテレビへの適用例 (2)

